

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0042296  
Application Number

출원 년 월 일 : 2002년 07월 19일  
Date of Application JUL 19, 2002

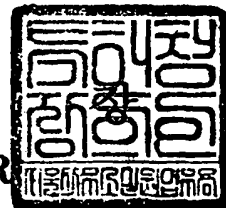
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003    년    05    월    14    일


특    허    청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0091
【제출일자】	2002.07.19
【발명의 명칭】	배치형 챔버를 이용한 티타늄나이트라이드막의 원자층증착 법 및 그를 이용한 캐패시터의 제조 방법
【발명의 영문명칭】	Atomic layer deposition of titanium nitride using batch type chamber and method for fabricating capacitor by the same
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	김용수
【성명의 영문표기】	KIM, Yong Soo
【주민등록번호】	670808-1845710
【우편번호】	449-840
【주소】	경기도 용인시 수지읍 풍덕천리 한국아파트 102-405
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 특허법인 신 성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	7 면 7,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	36,000 원



1020020042296

출력 일자: 2003/5/15

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 상부전극으로 ALD-TiN을 적용할 때 ALD-TiN의 소스가스에 유전막이 노출됨에 따른 누설전류특성 열화를 방지하는데 적합한 캐패시터의 제조 방법을 제공하기 위한 것으로, 하부전극상에 유전막이 형성된 반도체기판을 챔버로 로딩시키는 단계, 및 상기 유전막상에  $TiCl_4$ 를 소스가스로 이용한 원자층증착과정을 통해 티타늄이 함유된 상부전극을 형성하는 단계를 포함하며, 상기  $TiCl_4$ 의 플로우율 또는 피딩시간중에서 선택된 적어도 하나의 값을 조절하거나, 유전막 표면을 미리  $NH_3$ 플러싱하여 상기 원자층증착과정의 사이클 진행시 상기 유전막에 상기  $TiCl_4$ 가 노출되는 것을 방지한다.

**【대표도】**

도 7

**【색인어】**

ALD, 플러싱, TiN, 플로우율, 피딩, CVD, 배치형

## 【명세서】

## 【발명의 명칭】

배치형 챔버를 이용한 티타늄나이트라이드막의 원자층증착법 및 그를 이용한 캐패시터의 제조 방법{Atomic layer deposition of titanium nitride using batch type chamber and method for fabricating capacitor by the same}

## 【도면의 간단한 설명】

도 1a는 종래기술에 따른 배치형 원자층증착장치의 챔버를 도시한 도면,

도 1b는 도 1a의 챔버를 이용하여 TiN 박막을 증착하기 위한 가스의 공급 타이밍도,

도 2는 종래기술에 따른 MIS 캐패시터의 구조 단면도로서,

도 3a는 CVD-TiN과 ALD-TiN을 MIS 캐패시터의 상부전극으로 적용하고 상부전극에 양의 바이어스를 인가한 경우에 대한 셀캐패시턴스를 비교한 도면,

도 3b는 CVD-TiN과 ALD-TiN을 MIS 캐패시터의 상부전극으로 적용하고 상부전극에 음의 바이어스를 인가한 경우에 대한 셀캐패시턴스를 비교한 도면,

도 4a CVD-TiN과 ALD-TiN을 MIS 캐패시터의 상부전극으로 적용하고 상부전극에 양의 바이어스를 인가한 경우에 대한 누설전류밀도를 비교한 도면,

도 4b는 CVD-TiN과 ALD-TiN을 MIS 캐패시터의 상부전극으로 적용하고 상부전극에 음의 바이어스를 인가한 경우에 대한 누설전류밀도를 비교한 도면,

도 5는 본 발명의 제1 실시예에 따른 캐패시터의 제조 방법을 설명하기 위한 공정 흐름도,

도 6a는 도 5에 따른 캐패시터의 양의 바이어스 조건하에서 측정된 누설전류밀도를 나타낸 도면,

도 6b는 도 5에 따른 캐패시터의 음의 바이어스 조건하에서 측정된 누설전류밀도를 나타낸 도면,

도 7은 본 발명의 제2 실시예에 따른 캐패시터의 제조 방법을 설명하기 위한 공정 흐름도,

도 8은  $\text{TiCl}_4$ 의 플로우율 감소 및 바이패스시킴에 따른 캐패시터의 누설전류밀도를 나타낸 도면,

도 9는 본 발명의 제3 실시예에 따른 캐패시터의 제조 방법을 설명하기 위한 공정 흐름도,

도 10은  $\text{TiCl}_4$ 의 피당시간 감소에 따른 누설전류밀도를 도시한 도면,

도 11a는 CVD-TiN을 적용한 캐패시터와 ALD-TiN을 적용한 캐패시터의 셀캐패시턴스를 비교한 도면,

도 11b는 CVD-TiN을 적용한 캐패시터와 ALD-TiN을 적용한 캐패시터의 누설전류밀도를 비교한 도면.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <17> 본 발명은 반도체 제조 기술에 관한 것으로, 특히 원자층증착법을 이용한 캐패시터의 제조 방법에 관한 것이다.
- <18> 일반적으로 반도체 장치의 제조 공정시, 박막을 균일하게 증착하기 위해 스퍼터링법(Sputtering), 화학기상증착법(Chemical Vapor Deposition; CVD), 원자층증착법(Atomic Layer Deposition; ALD)을 적용한다.
- <19> 먼저 스퍼터링법은 플라즈마 상태에서 아르곤 이온을 생성시키기 위해 고전압을 타겟에 인가한 상태에서 아르곤 등의 비활성가스를 진공챔버내로 주입시킨다. 이 때, 아르곤 이온들은 타겟의 표면에 스퍼터되고, 타겟의 원자들은 타겟의 표면으로부터 제거된다.
- <20> 이러한 스퍼터링법에 의해 기판과 접착성이 우수한 고순도 박막을 형성할 수 있으나, 공정 차이를 갖는 고집적 박막을 스퍼터링법으로 증착하는 경우에는 전체 박막위에 균일도를 확보하기가 매우 어려워 미세한 패턴을 위한 스퍼터링법의 적용에는 한계가 있다.
- <21> 다음으로, 화학기상증착법(CVD)은 가장 널리 이용되는 증착 기술로서, 반응가스와 분해가스를 이용하여 요구되는 두께를 갖는 박막을 기판상에 증착한다. 예컨대, 화학기상증착법(CVD)은 먼저 다양한 가스들을 반응챔버로 주입시키고, 열, 빛, 플라즈마와 같

은 고에너지에 의해 유도된 가스들을 화학반응시키므로써 기판상에 요구되는 두께의 박막을 증착시킨다.

<22> 아울러, 화학기상증착법(CVD)에서는 반응에너지만큼 인가된 플라즈마 또는 가스들의 비(ratio) 및 양(amount)을 통해 반응조건을 제어하므로써 증착률을 증가시킨다.

<23> 그러나, 반응들이 빠르기 때문에 원자들의 열역학적(Thermodynamic) 안정성을 제어하기 매우 어렵고, 화학기상증착법(CVD)은 박막의 물리적, 화학적 전기적특성을 저하시킨다.

<24> 마지막으로, 원자층 증착법(ALD)은 소스가스(반응가스)와 퍼지가스를 교대로 공급하여 원자층 단위의 박막을 증착하기 위한 방법으로서, 이에 의해 형성된 박막은 고종횡비를 갖고 저압에서도 균일하며, 전기적 물리적 특성이 우수하다.

<25> 최근에는, 화학기상증착법(CVD)이 매우 큰 종횡비(Aspect ratio)를 갖는 구조에는 단차피복성(Step coverage)의 한계로 적용이 어렵기 때문에, 이러한 단차피복성의 한계를 극복하기 위해 표면 반응을 이용한 원자층증착법(ALD)이 적용되고 있다.

<26> 도 1a는 본 출원인에 의해 출원된 배치형 원자층증착장치의 챔버를 도시한 도면이고, 도 1b는 도 1a의 챔버를 이용하여 TiN 박막을 증착하기 위한 가스의 공급 타이밍도이다. 도 1a에 도시된 배치형 원자층증착장치는 본 출원인에 의해 출원된 출원번호 10-2002-27614호이다.

<27> 도 1a를 참조하면, 측벽(11c), 상부판(11a) 및 하부판(11b)으로 이루어지는 반응챔버(10), 반응챔버의 상부판(11a)의 중앙을 관통하여 소스가스, 반응가스 및 퍼지가스 등의 가스를 방사 주입시키는 샤워헤드(12), 하부판(11b)상에 부착되며 웨이퍼의 위치별



온도조절이 가능한 히팅판(13), 하부판(11b)과 히팅판(13)의 중앙을 동시에 관통하는 회전축(14), 그 중앙으로부터 등거리에 복수매의 웨이퍼(16)가 안착되며 그 저면 중앙이 회전축(14)에 고정된 회전판(15), 회전판(15) 가장자리에 인접한 측벽(11c)을 따라 하부판(11b)을 관통하여 샤워헤드(12)로부터 유입된 가스를 외부로 배출시키는 배플(Baffle) 구조의 배출구(17)를 구비한다.

<28> 도 1a의 배치형 원자층 증착장치는 원자층 증착을 위해 순회파형(travelling wave) 원리를 이용한다.

<29> 도 1b를 참조하면,  $T_1$  시간은 챔버내에 웨이퍼를 로딩시킨 후 챔버내에 소스가스인  $TiCl_4$ 를 주입하여 웨이퍼상에  $TiCl_4$ 을 화학흡착(Chemical absorption)시키는 과정이고,  $T_2$  시간은 Ar 등의 퍼지(Purge)가스를 주입하여 여분의  $TiCl_4$ 를 배출시키는 과정이며,  $T_3$  시간은 반응가스인  $NH_3$ 를 주입하여 웨이퍼상에 화학흡착된  $TiCl_4$ 와  $NH_3$ 의 표면반응을 유도하여 TiN 원자층을 증착하는 과정이고,  $T_4$  시간은 다시 Ar 등의 퍼지가스를 주입하여 여분의 반응가스 및 반응부산물을 배출시키는 과정이며,  $T_1 \sim T_4$ 를 1사이클(1 cycle)로 하여 반복 진행하므로써 원하는 두께의 원자층 박막을 증착한다.

<30> 상술한 바와 같은 TiN 박막의 원자층 증착은 SSLRM(Surface Self Limited Reaction Mechanism)에 의한 것으로, 이러한 SSLRM은 컨포멀한 박막을 얻을 수 있을 뿐만 아니라 균일한 박막을 얻을 수 있는 장점이 있다. 또한, 소스가스와 반응가스를 분리하여 공급하기 때문에 화학기상증착법(Chemical Vapor Deposition; CVD)에 비해 가스위상반응(Gas phase reaction)에 의한 파티클 생성을 억제한다.

- <31> 도 2는 종래기술에 따른 MIS 캐패시터의 구조 단면도로서, 하부전극인 도우프드 폴리실리콘막(21)상에 유전막인 TaO막(22)이 형성되고, TaO막(22)상에 상부전극인 ALD-TiN 막(23)이 형성된다.
- <32> 도 3a와 도 3b는 CVD-TiN과 ALD-TiN을 MIS 캐패시터의 상부전극으로 적용한 경우에 대한 셀캐패시턴스를 나타낸 도면으로서, 도 3a는 상부전극에 양의 바이어스를 인가한 경우의 결과이고, 도 3b는 상부전극에 음의 바이어스를 인가한 경우의 결과이다. 그리고, 두 경우 모두 유전막의 두께는 80Å이다.
- <33> 도 3a 및 도 3b의 결과에 의하면, CVD-TiN을 상부전극으로 적용한 경우의 셀캐패시턴스( $C_s$ )는 상부전극에 양의 바이어스를 인가한 조건하에서  $23.9 \pm 0.06 \text{ fF/셀}$ 이고, 음의 바이어스를 인가한 조건하에서는  $22.9 \pm 0.94 \text{ fF/셀}$ 이다. 한편, ALD-TiN을 상부전극으로 적용한 경우의 셀캐패시턴스는 양의 바이어스와 음의 바이어스를 인가한 조건하에서 각각  $25.8 \pm 0.26 \text{ fF/셀}$ ,  $24.7 \pm 0.10 \text{ fF/셀}$ 이다.
- <34> 결국, 상부전극에 ALD-TiN을 적용함에 따라 셀캐패시턴스가 2fF/셀 정도 개선됨을 알 수 있고, 이는 최근의 캐패시터의 높이가 15500Å인 점을 감안하면 캐패시터의 높이를 1300Å 정도 감소시킬 수 있음을 보여주는 것이다.
- <35> 그러나, 종래기술의 ALD-TiN을 상부전극으로 이용하는 캐패시터는 CVD-TiN을 상부전극으로 이용하는 캐패시터에 비해 누설전류 특성 개선효과가 미미하다.
- <36> 도 4a 및 도 4b는 CVD-TiN과 ALD-TiN을 MIS 캐패시터의 상부전극으로 적용한 경우에 대한 누설전류밀도를 비교한 도면이다. 도 4a는 상부전극에 양의 바이어스를 인가한 경우의 결과이고, 도 4b는 상부전극에 음의 바이어스를 인가한 경우의 결과이다.

<37> 도 4a 및 도 4b에 도시된 결과에 의해 양의 바이어스와 음의 바이어스 조건하에서 측정된 캐패시터의 누설전류밀도를 살펴보면, CVD TiN 대비 ALD TiN 적용시 누설전류 특성이 개선되고 있지 않음을 알 수 있다. 이는 상부전극으로 ALD-TiN을 적용할 때 ALD-TiN의 소스가스인  $\text{TiCl}_4$ 에 의해 유전막이 어택받기 때문이다.

<38> ALD법은 SSS(Surface Self Saturation) 특징을 사용하기 때문에,  $\text{TiCl}_4/\text{NH}_3$  노출, 즉 소스가스와 반응가스의 플로우율과 피딩시간의 곱의 값이 임계치 이상이면 증착률은 일정한 값을 갖는다. 도 1에 도시된 배치형 원자층 장치에서는 사이클당  $0.35\text{\AA}$ 로 일정한 증착률을 보인다.

<39> 그러나, ALD-TiN의 1모노레이어(one monolayer)가 약  $2\text{\AA}$ 인 점을 감안하면, 이러한 증착률은 표면 피복성(surface coverage) 측면에서 1사이클 경과후 약 30%의 표면만 덮을 수 있음을 의미한다. 이는 이후 사이클이 진행됨에 따라 유전막이  $\text{TiCl}_4$ 에 노출되어 캐패시터의 누설전류 특성을 열화시키는 것이다.

#### 【발명이 이루고자 하는 기술적 과제】

<40> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 안출한 것으로서, 상부전극으로 ALD-TiN을 적용할 때 ALD-TiN의 소스가스에 유전막이 노출됨에 따른 누설전류특성 열화를 방지하는데 적합한 캐패시터의 제조 방법을 제공하는데 그 목적이 있다.

**【발명의 구성 및 작용】**

- <41>      상기 목적을 달성하기 위한 본 발명의 캐패시터의 제조 방법은 반도체기판 상부에 하부전극을 형성하는 단계, 상기 하부전극상에 유전막을 형성하는 단계, 상기 유전막이 형성된 상기 반도체기판을 증착챔버로 로딩시키는 단계, 상기 증착챔버내에  $\text{NH}_3$ 를 흘려주면서 상기 유전막 표면을 질화시키는 단계, 및 상기 표면이 질화된 유전막상에  $\text{TiCl}_4$ 를 소스가스로 이용한 원자층증착과정을 통해 티타늄이 함유된 상부전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 하고, 상기 유전막 표면을 질화시키는 단계는 상기  $\text{NH}_3$ 를 300sccm~1000sccm의 플로우율로 10초~120초동안 흘려주는 것을 특징으로 한다.
- <42>      또한, 본 발명의 캐패시터의 제조 방법은 하부전극상에 유전막이 형성된 반도체기판을 챔버로 로딩시키는 단계, 및 상기 유전막상에  $\text{TiCl}_4$ 를 소스가스로 이용한 원자층증착과정을 통해 티타늄이 함유된 상부전극을 형성하는 단계를 포함하며, 상기  $\text{TiCl}_4$ 의 플로우율 또는 피딩시간중에서 선택된 적어도 하나의 값을 조절하여 상기 원자층증착과정의 사이클 진행시 상기 유전막에 상기  $\text{TiCl}_4$ 가 노출되는 것을 방지하는 것을 특징으로 하고, 상기  $\text{TiCl}_4$ 의 플로우율의 조절은 상기  $\text{TiCl}_4$ 의 피딩과정에서 상기  $\text{TiCl}_4$ 를 피딩시키는 밸브를 오픈하거나 또는 상기  $\text{TiCl}_4$ 의 피딩과정전에 미리 상기  $\text{TiCl}_4$ 를 피딩시키는 밸브를 오픈하여 상기 챔버 외부로 바이패스시키는 것을 특징으로 하며, 상기  $\text{TiCl}_4$ 의 피딩시간의 조절은 상기 원자층증착과정의 사이클 진행시 첫 50사이클까지는 0.05초~0.2초로 조절하고, 50사이클을 넘는 경우에는 0.5초~0.2초로 조절하는 것을 특징으로 한다.

- <43> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- <44> 후술한 실시예에서는 도 1a의 배치형 원자층증착장치에서 ALD-TiN막을 증착하는 경우, 상대적으로 CVD-TiN 대비 누설전류 개선이 미약한 문제를 해결하기 위한 방법을 제안한다.
- <45> 도 5는 본 발명의 제1 실시예에 따른 캐패시터의 제조 방법을 설명하기 위한 공정 흐름도이다.
- <46> 도 5를 참조하면, 하부전극 형성 과정(31), 유전막 형성 과정(32), ALD-TiN막 형성 과정(33)의 순서로 진행되고, ALD-TiN막 형성 과정(33)은  $\text{NH}_3$  플러싱 과정(33a),  $\text{TiCl}_4$  피딩 과정(33b), 제1 퍼지 과정(33c),  $\text{NH}_3$  피딩 과정(33d), 제2 퍼지 과정(33e)으로 이루어지며,  $\text{TiCl}_4$  피딩 과정(33b), 제1 퍼지 과정(33c),  $\text{NH}_3$  피딩 과정(33d), 제2 퍼지 과정(33e)을 1사이클로 하여 ALD-TiN막의 원자층을 증착한다.
- <47> 도 5에 도시된 바와 같이, ALD-TiN막 형성 과정(33)시, ALD-TiN막의 원자층증착과정의 사이클을 진행하기전에 미리  $\text{NH}_3$  플러싱 과정(33a)을 수행하므로써 유전막 표면을 질화시킨다.
- <48> 여기서,  $\text{NH}_3$  플러싱 과정(33a)은, 유전막 형성 과정(32)이 완료된 웨이퍼를 도 1a의 배치형 원자층증착장치의 챔버로 로딩한 후, 충분한 프리히팅시간(pre-heating time)을 갖고 ALD-TiN의 원자층증착과정의 사이클이 시작되기 전에 미리  $\text{NH}_3$ 를 300sccm~1000sccm의 플로우율로 10초~120초동안 흘려주는 과정이다.

- <49> 전술한 바와 같이, ALD-TiN의 원자층증착과정의 사이클이 시작되기 전에  $\text{NH}_3$  플러싱 과정(33a)을 수행하여 유전막 표면을 질화시키므로써 후속 반복되는 사이클동안 소스가스인  $\text{TiCl}_4$ 에 유전막이 노출되는 것을 방지한다.
- <50> 도 6a 및 도 6b는 각각 양의 바이어스와 음의 바이어스 조건하에서 측정된 캐패시터의 누설전류밀도를 나타낸 도면으로서, CVD-TiN을 상부전극으로 적용한 캐패시터와 ALD-TiN을 상부전극으로 적용한 캐패시터의 누설전류밀도를 비교하고 있다.
- <51> 여기서, ALD-TiN을 상부전극으로 적용한 캐패시터는 ALD-TiN을 형성하기전에 미리  $\text{NH}_3$ 를 500sccm의 플로우율로 60초동안 흘려주는  $\text{NH}_3$  플러싱과정을 수행하였다.
- <52> 도 6a 및 도 6b에 도시된 바에 따르면,  $\text{NH}_3$  플러싱과정을 수행한 캐패시터의 경우는 CVD-TiN을 상부전극으로 적용한 캐패시터에 비해 양의 바이어스와 음의 바이어스 조건하에서 측정한 누설전류밀도가 모두 개선되고 있음을 알 수 있다.
- <53> 도 7은 본 발명의 제2 실시예에 따른 캐패시터의 제조 방법을 설명하기 위한 공정 흐름도이다.
- <54> 도 7을 참조하면, 하부전극 형성 과정(41), 유전막 형성 과정(42), ALD-TiN막 형성 과정(43)의 순서로 진행되고, ALD-TiN막 형성 과정(43)은  $\text{TiCl}_4$  피딩 과정(43a), 제1 퍼지 과정(43b),  $\text{NH}_3$  피딩 과정(43c), 제2 퍼지 과정(43d)으로 이루어지며,  $\text{TiCl}_4$  피딩 과정(43a), 제1 퍼지 과정(43b),  $\text{NH}_3$  피딩 과정(43c), 제2 퍼지 과정(43d)을 1사이클로 하여 ALD-TiN막의 원자층을 증착한다.
- <55> 도 7에 도시된 바와 같이, ALD-TiN막 형성 과정(43)에서, 제2 퍼지과정(43d)후  $\text{TiCl}_4$  피딩 과정(43a)시 최소한 1모노레이어의 ALD-TiN막이 형성될 때까지는  $\text{TiCl}_4$ 의 플

로우율을 최소화하거나, 또는  $\text{TiCl}_4$  피딩(feeding)시 오픈 밸브(open valve)를 직접 열어 순간적으로  $\text{TiCl}_4$ 의 플로우량을 최소화시켜 유전막이  $\text{TiCl}_4$ 에 반복적으로 노출됨에 따른 손실을 억제한다.

<56> 이와 같이, 플로우율을 최소화하거나 플로우량을 최소화하기 위해서는  $\text{NH}_3$ 를 퍼지는 제2 퍼지 과정(43d)에서 미리  $\text{TiCl}_4$  피딩밸브를 열어 0.1초보다 작은 시간동안 순간적으로  $\text{TiCl}_4$ 를 챔버외부로 바이패스(by-pass)시키다가  $\text{TiCl}_4$  피딩시 챔버쪽으로 향하게 한다.

<57> 도 8은  $\text{TiCl}_4$ 의 플로우율 감소 및 바이패스시킴에 따른 캐패시터의 누설전류밀도를 나타낸 도면이다. 도 8에서 AMAT, TEL는 장비명을 나타낸다.

<58> 도 8에 도시된 결과는  $\text{TiCl}_4$  피딩시 플로우율을 50sccm에서 10sccm으로 낮추어 주고,  $\text{TiCl}_4$  피딩시 오픈 밸브를 직접 열어 0.1초보다 작은 시간동안  $\text{TiCl}_4$ 를 챔버 외부로 바이패스시키다가  $\text{TiCl}_4$  피딩시 챔버쪽으로 향하게 한 결과이다.

<59> 도 8에서, 첫 20사이클만  $\text{TiCl}_4$  피딩시 바이패스 방법을 도입했는데,  $\text{TiCl}_4$  피딩시 플로우율 감소는 단차피복성에 영향을 줄 수 있고 또한 바이패스 방법은  $\text{TiCl}_4$ 의 사용량을 증가시키기 때문에 첫 20사이클만 적용한 것이다. 이 20사이클은 1모노레이어의 TiN 박막을 확보할 수 있는 사이클 수이다.

<60> 도 8을 참조하면,  $\text{TiCl}_4$ 의 피딩시 플로우율을 10sccm으로 낮추고 순간적으로 바이패스시킨 경우가  $\text{TiCl}_4$  피딩시의 플로우율을 50sccm으로 한 경우에 비해 누설전류밀도가 낮아짐을 알 수 있다. 즉,  $\text{TiCl}_4$  피딩시 플로우율을 50sccm에서 10sccm으로 낮추고 순

간적으로 바이패스시킴에 따라 누설전류밀도가  $0.49 \pm 0.23 \text{ fA}/\mu\text{m}^2$ 에서  $0.054 \pm 0.01 \text{ fA}/\mu\text{m}^2$ 으로 감소함을 알 수 있다.

<61> 바람직하게,  $\text{TiCl}_4$ 의 플로우율은 10sccm~50sccm로 조절한다.

<62> 도 9는 본 발명의 제3 실시예에 따른 캐패시터의 제조 방법을 도시한 공정 흐름도이다.

<63> 도 9에 도시된 바와 같이, 하부전극 형성 과정, 유전막 형성 과정, ALD-TiN막 형성 과정의 순서로 진행되고, ALD-TiN막 형성 과정은  $\text{TiCl}_4$  피딩 과정, 제1 퍼지 과정,  $\text{NH}_3$  피딩 과정, 제2 퍼지 과정으로 이루어지며,  $\text{TiCl}_4$  피딩 과정, 제1 퍼지 과정,  $\text{NH}_3$  피딩 과정, 제2 퍼지 과정을 1사이클로 하여 ALD-TiN막의 원자층을 증착한다.

<64> 도 9에 도시된 바와 같이, ALD-TiN막 형성 과정에서,  $\text{TiCl}_4$  피딩 과정시  $\text{TiCl}_4$ 의 피딩시간을 최소화시켜 유전막이  $\text{TiCl}_4$ 에 반복적으로 노출됨에 따른 손실을 억제한다.

<65> 도 10은  $\text{TiCl}_4$ 의 피딩시간 감소에 따른 누설전류밀도를 도시한 도면이다. 도 12의 결과는  $\text{TiCl}_4$  피딩 시간을 1초에서 0.15초로 감소시키고,  $\text{TiCl}_4$  플로우율이 50sccm이고,  $\text{NH}_3$ 의 플로우율 및 피딩시간이 각각 1000sccm과 0.45초이고, 제1 퍼지과정 및 제2 퍼지과정시의 아르곤 플로우율 및 피딩시간이 각각 800sccm과 0.15초이며, 증착온도를  $470^\circ\text{C}$ 로 유지하는 조건하에서 도출되었다.

<66> 도 10을 참조하면,  $\text{TiCl}_4$  피딩 시간을 1초에서 0.15초로 감소시킴에 따라 누설전류 밀도가  $0.96 \pm 0.36 \text{ fA}/\mu\text{m}^2$ 에서  $0.49 \pm 0.23 \text{ fA}/\mu\text{m}^2$ 으로 감소함을 알 수 있다.



- <67> 바람직하게,  $\text{TiCl}_4$ 의 피당시간의 조절은 원자층증착과정의 사이클 진행시 첫 50사이클까지는 0.05초~0.2초로 조절하고, 50사이클을 넘는 경우에는 0.5초~0.2초로 조절한다.
- <68> 도 11a는 CVD-TiN을 적용한 캐패시터와 ALD-TiN을 적용한 캐패시터의 셀캐패시턴스를 비교한 도면이고, 도 11b는 CVD-TiN을 적용한 캐패시터와 ALD-TiN을 적용한 캐패시터의 누설전류밀도를 비교한 도면이다. 여기서, 도 11a 와 도 11b에 도식된 ALD-TiN을 적용한 캐패시터의 셀캐패시턴스와 누설전류밀도는 CVD-TiN을 적용한 캐패시터에 비해 첫 20사이클시  $\text{TiCl}_4$ 의 플로우율을 감소시키고 순간적으로 바이패스시킨 경우의 결과이다.
- <69> 도 11a에 따르면, 셀캐패시턴스는 CVD-TiN을 적용한 캐패시터에 비해 개선되었음을 알 수 있다.
- <70> 도 11b에 따르면, 누설전류밀도는 CVD-TiN을 적용한 캐패시터에 비해 작아짐을 알 수 있다. 예컨대, 도 6과 대비해 보면, 누설전류가 바이어스전압 1V에서 CVD TiN 대비 약 10배 이상 개선된다.
- <71> 전술한 실시예에서는 캐패시터의 유전막으로 TaO를 사용하는 예를 들었으나, 유전막으로는  $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$ ,  $\text{HfO}_2$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{ZrO}_2$ ,  $(\text{Ba}, \text{Sr})\text{TiO}_3$ ,  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ ,  $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$  로 이루어진 그룹중에서 선택된 어느 하나를 이용할 수 있다.
- <72> 그리고, 상하부전극으로 ALD-TiN을 이용하는 적층, 실린더형, 오목형, MIS 구조 및 MIM 구조를 포함한 모든 캐패시터에 적용가능하며, 아울러 산화물박막을 유전막으로 이용하고 상하부전극으로 ALD-TiN을 이용하는 모든 DRAM 및 FeRAM에 적용가능하다.

<73> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

#### 【발명의 효과】

<74> 상술한 본 발명은 ALD-TiN막을 상부전극으로 적용하는 캐패시터에서 막내 매우 작은 염소(Cl) 함량을 가지므로 캐패시턴스를 증대시킴과 동시에 ALD-TiN 증착과정시 유전막의 손실 및 어택을 방지하여 캐패시터의 누설전류특성을 개선시킬 수 있는 효과가 있다.



【특허청구범위】

【청구항 1】

반도체기판 상부에 하부전극을 형성하는 단계;  
상기 하부전극상에 유전막을 형성하는 단계;  
상기 유전막이 형성된 상기 반도체기판을 증착챔버로 로딩시키는 단계;  
상기 증착챔버내에  $\text{NH}_3$ 를 흘려주면서 상기 유전막 표면을 질화시키는 단계; 및  
상기 표면이 질화된 유전막상에  $\text{TiCl}_4$ 를 소스가스로 이용한 원자층증착과정을 통해 티타늄이 함유된 상부전극을 형성하는 단계  
를 포함하여 이루어짐을 특징으로 하는 캐패시터의 제조 방법.

【청구항 2】

제1항에 있어서,  
상기 유전막 표면을 질화시키는 단계는,  
상기  $\text{NH}_3$ 를 300sccm~1000sccm의 플로우율로 10초~120초동안 흘려주는 것을 특징  
으로 하는 캐패시터의 제조 방법.

【청구항 3】

하부전극상에 유전막이 형성된 반도체기판을 챔버로 로딩시키는 단계; 및  
상기 유전막상에  $\text{TiCl}_4$ 를 소스가스로 이용한 원자층증착과정을 통해 티타늄이 함유  
된 상부전극을 형성하는 단계를 포함하며,

상기  $\text{TiCl}_4$ 의 플로우율 또는 피딩시간중에서 선택된 적어도 하나의 값을 조절하여 상기 원자층증착과정의 사이클 진행시 상기 유전막에 상기  $\text{TiCl}_4$ 가 노출되는 것을 방지하는 것을 특징으로 하는 캐패시터의 제조 방법.

**【청구항 4】**

제3항에 있어서,

상기  $\text{TiCl}_4$ 의 플로우율의 조절은,

상기  $\text{TiCl}_4$ 의 피딩과정에서 상기  $\text{TiCl}_4$ 를 피딩시키는 밸브를 오픈하거나 또는 상기  $\text{TiCl}_4$ 의 피딩과정전에 미리 상기  $\text{TiCl}_4$ 를 피딩시키는 밸브를 오픈하여 상기 챔버 외부로 바이패스시키는 것을 특징으로 하는 캐패시터의 제조 방법.

**【청구항 5】**

제4항에 있어서,

상기  $\text{TiCl}_4$ 의 플로우율을 10sccm~50sccm로 조절하는 것을 특징으로 하는 캐패시터의 제조 방법.

**【청구항 6】**

제3항에 있어서,

상기  $\text{TiCl}_4$ 의 피딩시간의 조절은,

상기 원자충증착과정의 사이클 진행시 첫 50사이클까지는 0.05초~0.2초로 조절하고, 50사이클을 넘는 경우에는 0.5초~0.2초로 조절하는 것을 특징으로 하는 캐패시터의 제조 방법.

#### 【청구항 7】

제3항에 있어서,

상기 티타늄이 함유된 상부전극을 형성하는 단계는,

상기  $TiCl_4$ 를 피딩시켜 상기 유전막상에 상기  $TiCl_4$ 를 흡착시키는 단계;

상기  $TiCl_4$  중에서 미반응된 여분의  $TiCl_4$ 를 퍼지하는 단계;

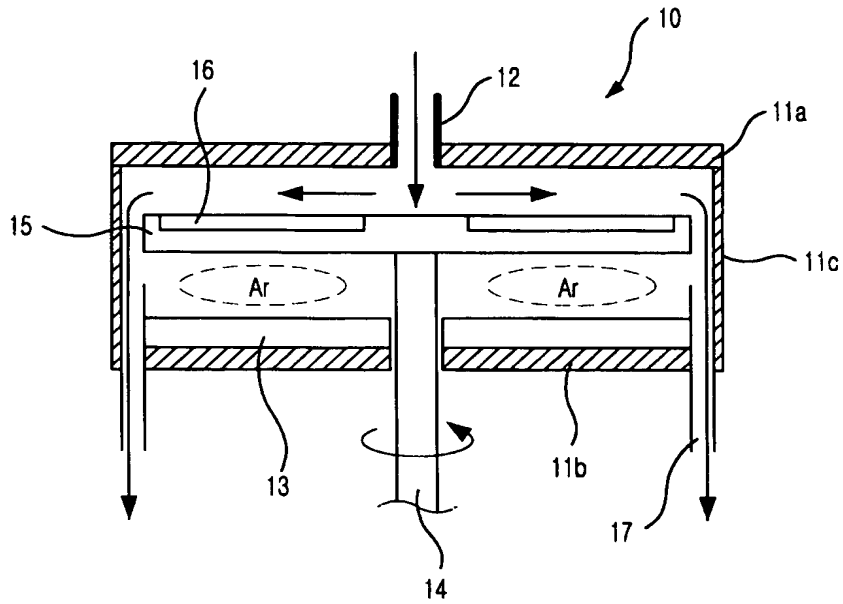
상기 흡착된  $TiCl_4$  상부로  $NH_3$ 를 피딩하는 단계; 및

상기  $NH_3$ 중에서 미반응된 여분의  $NH_3$ 와 상기  $NH_3$ 와  $TiCl_4$ 의 반응부산물을 퍼지하는 단계;

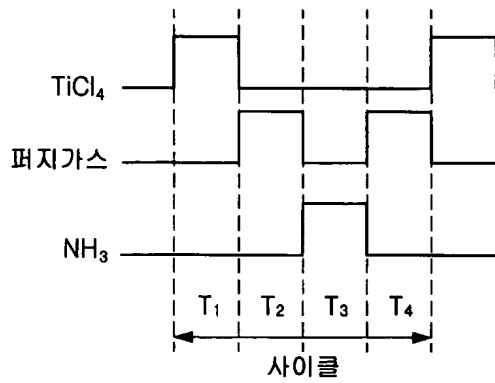
를 포함함을 특징으로 하는 캐패시터의 제조 방법.

【도면】

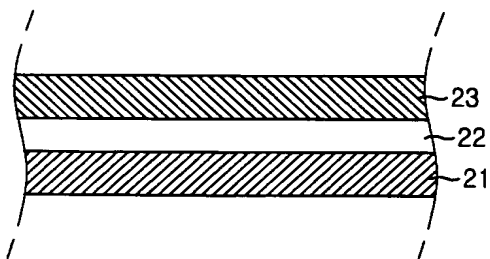
【도 1a】



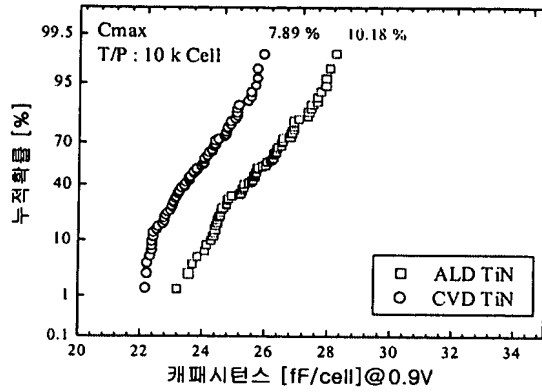
【도 1b】



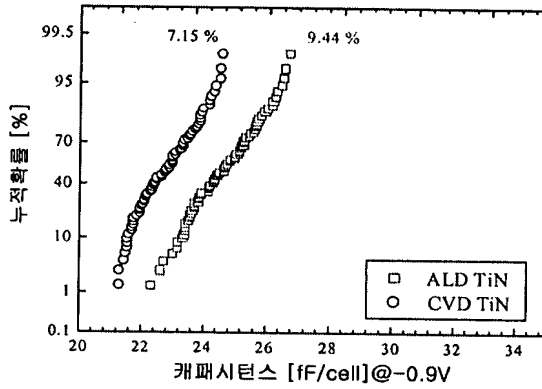
【도 2】



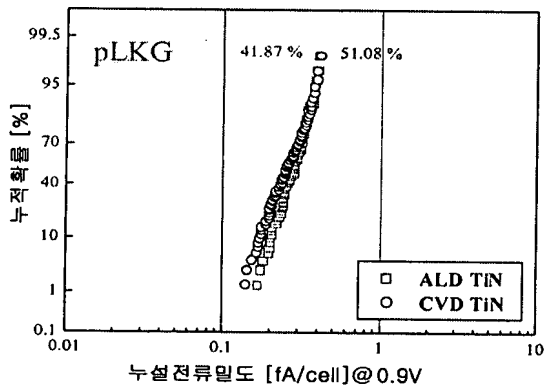
【도 3a】



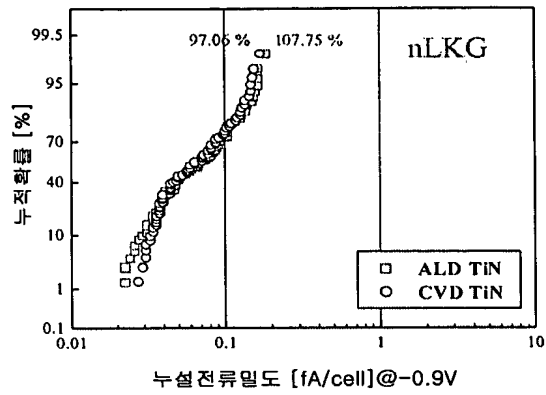
【도 3b】



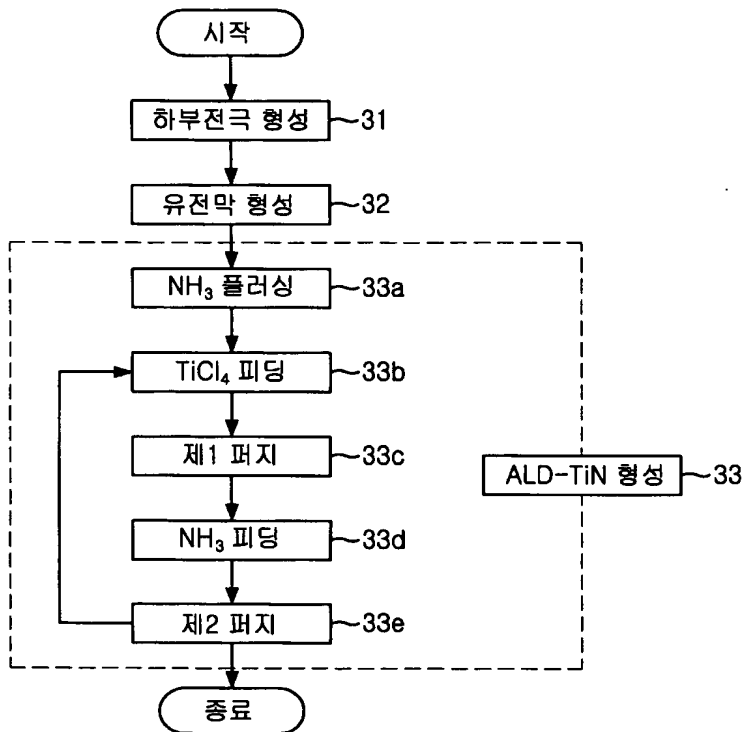
【도 4a】



【도 4b】

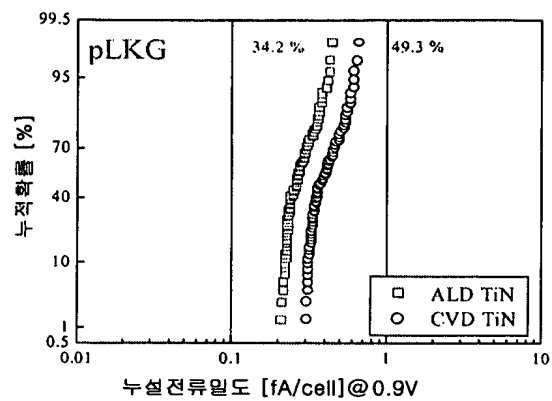


【도 5】

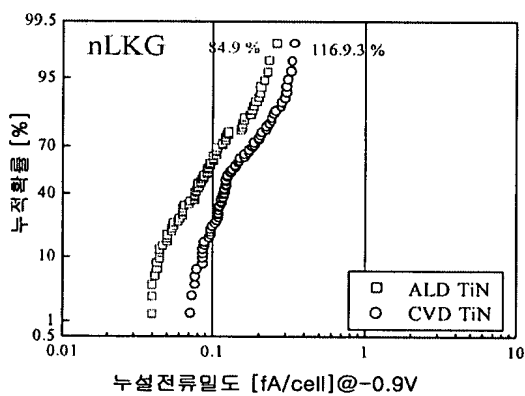




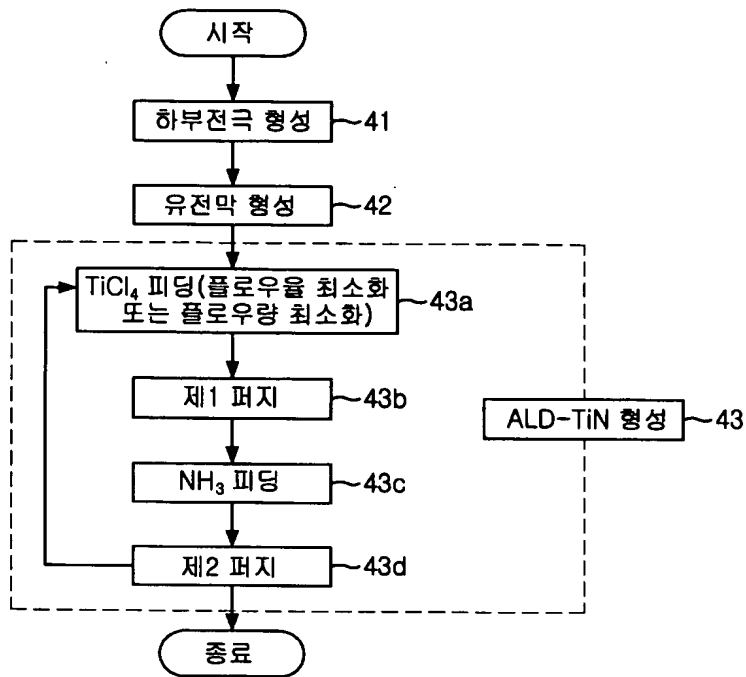
【도 6a】



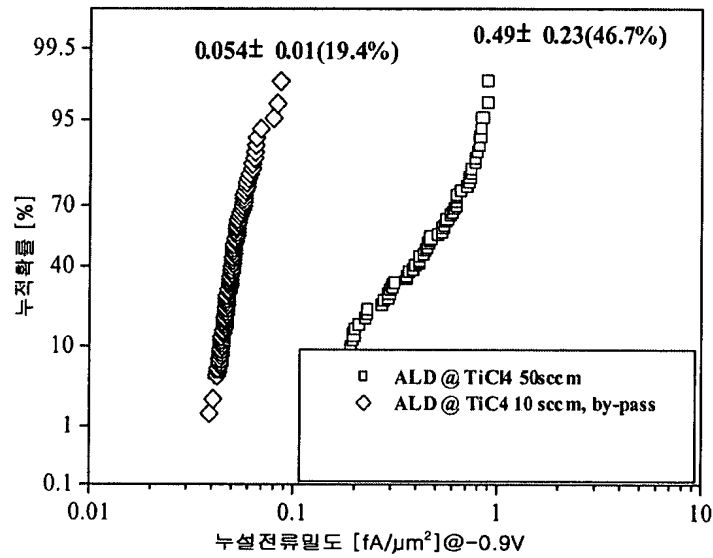
【도 6b】



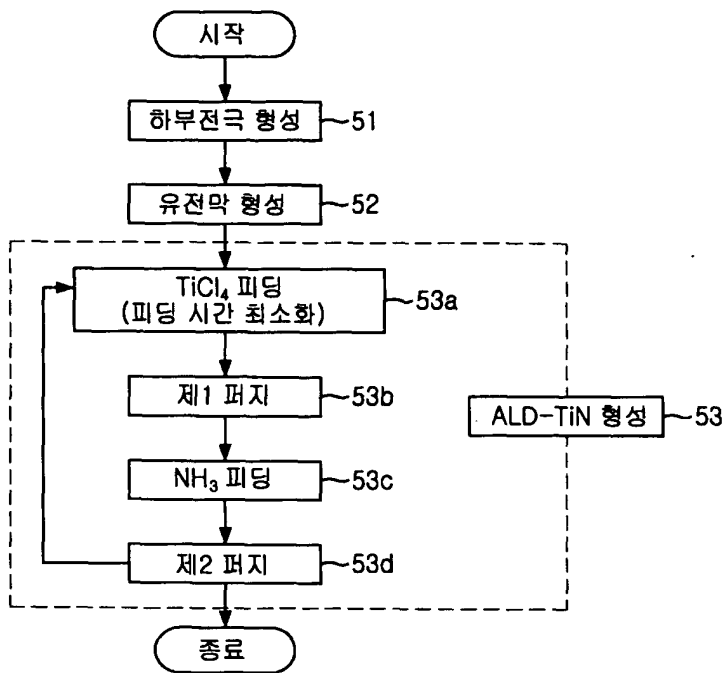
【도 7】



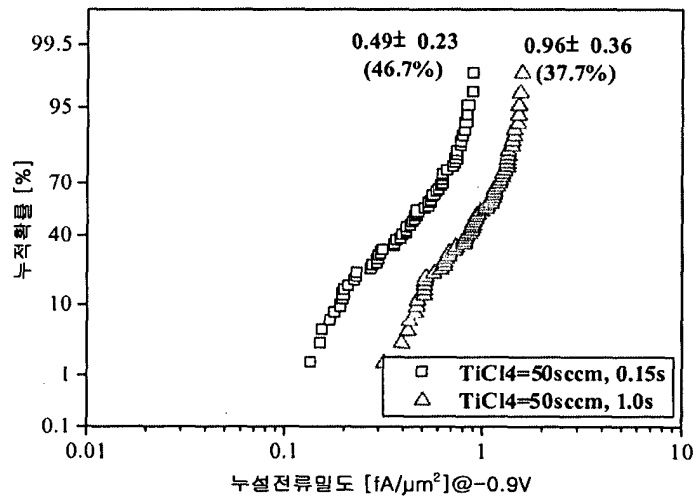
【도 8】



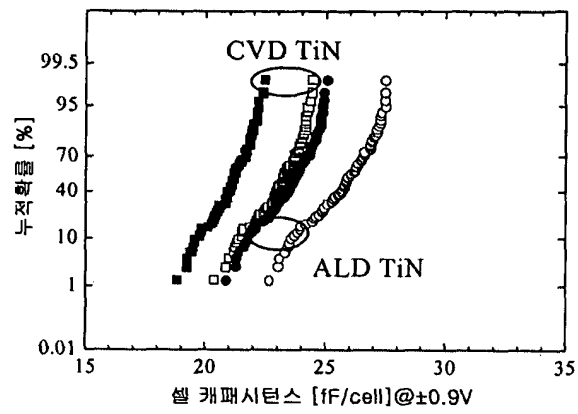
【도 9】



【도 10】



【도 11a】



【도 11b】

